



PTO/SB/21 (09-04)
Approved for use through 07/31/2006. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

TRANSMITTAL FORM

(to be used for all correspondence after initial filing)

Total Number of Pages in This Submission

3

Application Number

10/711,916

Filing Date

10/13/2004

First Named Inventor

Yin-Chang Chen

Art Unit

Examiner Name

Attorney Docket Number

AMIP0030USA

ENCLOSURES (Check all that apply)



Fee Transmittal Form



Fee Attached



Amendment/Reply



After Final



Affidavits/declaration(s)



Extension of Time Request



Express Abandonment Request



Information Disclosure Statement



Certified Copy of Priority Document(s)



Reply to Missing Parts/
Incomplete Application



Reply to Missing Parts
under 37 CFR 1.52 or 1.53



Drawing(s)



Licensing-related Papers



Petition



Petition to Convert to a
Provisional Application



Power of Attorney, Revocation



Change of Correspondence Address



Terminal Disclaimer



Request for Refund



CD, Number of CD(s) _____

Landscape Table on CD



After Allowance Communication to TC



Appeal Communication to Board
of Appeals and Interferences



Appeal Communication to TC
(Appeal Notice, Brief, Reply Brief)



Proprietary Information



Status Letter



Other Enclosure(s) (please identify
below):

Remarks

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT

Firm Name

North America Intellectual Property Corp.

Signature

Winston Hsu

Printed name

Winston Hsu

Date

11/17/2004

Reg. No.

CERTIFICATE OF TRANSMISSION/MAILING

I hereby certify that this correspondence is being facsimile transmitted to the USPTO or deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below:

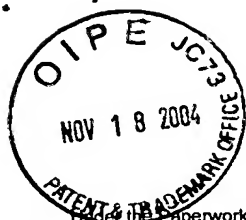
Signature

Typed or printed name

Date

This collection of information is required by 37 CFR 1.5. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



PTO/SB/17 (10-04)
Approved for use through 07/31/2006. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

FEE TRANSMITTAL for FY 2005

Effective 10/01/2004. Patent fees are subject to annual revision.

☒ Applicant claims small entity status. See 37 CFR 1.27

TOTAL AMOUNT OF PAYMENT (\$) 0.00

Complete if Known

Application Number	10/711,916
Filing Date	10/13/2004
First Named Inventor	Yin-Chang Chen
Examiner Name	
Art Unit	
Attorney Docket No.	AMIP0030USA

METHOD OF PAYMENT (check all that apply)

☐ Check ☐ Credit card ☐ Money Order ☐ Other ☐ None

☒ Deposit Account:

Deposit Account Number: 50-3105
Deposit Account Name: North America Intellectual Property Corp.

The Director is authorized to: (check all that apply)

☒ Charge fee(s) indicated below ☒ Credit any overpayments

☒ Charge any additional fee(s) or any underpayment of fee(s)

☐ Charge fee(s) indicated below, except for the filing fee to the above-identified deposit account.

FEE CALCULATION

1. BASIC FILING FEE

Large Entity Fee Code (\$)	Small Entity Fee Code (\$)	Fee Description	Fee Paid
1001 790	2001 395	Utility filing fee	
1002 350	2002 175	Design filing fee	
1003 550	2003 275	Plant filing fee	
1004 790	2004 395	Reissue filing fee	
1005 160	2005 80	Provisional filing fee	

SUBTOTAL (1) (\$) 0.00

2. EXTRA CLAIM FEES FOR UTILITY AND REISSUE

Total Claims	Extra Claims	Fee from below	Fee Paid
Independent Claims	-20** =	X	
Multiple Dependent	-3** =	X	

Large Entity Fee Code (\$)	Small Entity Fee Code (\$)	Fee Description
1202 18	2202 9	Claims in excess of 20
1201 88	2201 44	Independent claims in excess of 3
1203 300	2203 150	Multiple dependent claim, if not paid
1204 88	2204 44	** Reissue independent claims over original patent
1205 18	2205 9	** Reissue claims in excess of 20 and over original patent

SUBTOTAL (2) (\$) 0.00

**or number previously paid, if greater; For Reissues, see above

FEE CALCULATION (continued)

3. ADDITIONAL FEES

Large Entity Small Entity

Fee Code	Fee (\$)	Fee Code	Fee (\$)	Fee Description	Fee Paid
1051 130		2051 65		Surcharge - late filing fee or oath	
1052 50		2052 25		Surcharge - late provisional filing fee or cover sheet	
1053 130		1053 130		Non-English specification	
1812 2,520		1812 2,520		For filing a request for <i>ex parte</i> reexamination	
1804 920*		1804 920*		Requesting publication of SIR prior to Examiner action	
1805 1,840*		1805 1,840*		Requesting publication of SIR after Examiner action	
1251 110		2251 55		Extension for reply within first month	
1252 430		2252 215		Extension for reply within second month	
1253 980		2253 490		Extension for reply within third month	
1254 1,530		2254 765		Extension for reply within fourth month	
1255 2,080		2255 1,040		Extension for reply within fifth month	
1401 340		2401 170		Notice of Appeal	
1402 340		2402 170		Filing a brief in support of an appeal	
1403 300		2403 150		Request for oral hearing	
1451 1,510		1451 1,510		Petition to institute a public use proceeding	
1452 110		2452 55		Petition to revive - unavoidable	
1453 1,330		2453 665		Petition to revive - unintentional	
1501 1,370		2501 685		Utility issue fee (or reissue)	
1502 490		2502 245		Design issue fee	
1503 660		2503 330		Plant issue fee	
1460 130		1460 130		Petitions to the Commissioner	
1807 50		1807 50		Processing fee under 37 CFR 1.17(q)	
1806 180		1806 180		Submission of Information Disclosure Stmt	
8021 40		8021 40		Recording each patent assignment per property (times number of properties)	
1809 790		2809 395		Filing a submission after final rejection (37 CFR 1.129(a))	
1810 790		2810 395		For each additional invention to be examined (37 CFR 1.129(b))	
1801 790		2801 395		Request for Continued Examination (RCE)	
1802 900		1802 900		Request for expedited examination of a design application	

Other fee (specify) _____

*Reduced by Basic Filing Fee Paid

SUBTOTAL (3) (\$) 0.00

SUBMITTED BY

(Complete if applicable)

Name (Print/Type)	Winston Hsu	Registration No. (Attorney/Agent)	41,526	Telephone	302-729-1562
Signature	<i>Winston Hsu</i>	Date	11/17/2004		

WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

This collection of information is required by 37 CFR 1.17 and 1.27. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



PTO/SB/02B (09-04)

Approved for use through 07/31/2006. OMB 0651-0032

U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

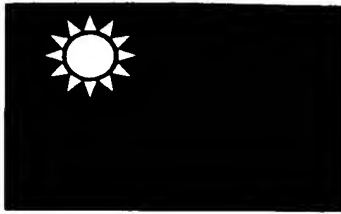
DECLARATION – Supplemental Priority Data Sheet

Foreign applications:					
Prior Foreign Application Number(s)	Country	Foreign Filing Date (MM/DD/YYYY)	Priority Not Claimed	Certified Copy Attached?	
				YES	NO
093124733	Taiwan R.O.C.	8/17/2004	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>

This collection of information is required by 35 U.S.C. 115 and 37 CFR 1.63. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to take 21 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.

BEST AVAILABLE COPY



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder

申請 日：西元 2004 年 08 月 17 日
Application Date

申請 案 號：093124733
Application No.

申請 人：聯笙電子股份有限公司
Applicant(s)

CERTIFIED COPY OF
PRIORITY DOCUMENT

局 長
Director General

蔡 練 生

發文日期：西元 2004 年 9 月
Issue Date

發文字號：09320819790
Serial No.

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：

※ 申請日期：

※IPC 分類：

一、發明名稱：(中文/英文)

內含電壓偵測器之昇壓電路 /

BOOST CIRCUIT WITH A VOLTAGE DETECTOR

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

聯笙電子股份有限公司 / AMIC TECHNOLOGY CORPORATION

代表人：(中文/英文)

陳焜錄 / CHEN, KUN-LUH

住居所或營業所地址：(中文/英文)

新竹市新竹科學園區力行六路二號 / No. 2, Li-Hsing 6 Rd.,

Science-Based Industrial Park, Hsin-Chu City, Taiwan, R.O.C.

國 籍：(中文/英文)

中華民國 / TWN

三、發明人：(共 2 人)

姓 名：(中文/英文)

1. 陳印章 / CHEN, YIN-CHANG

2. 林揚傑 / LIN, YANG-CHIEH

國 籍：(中文/英文)

1. 中華民國 / TWN

2. 中華民國 / TWN

四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實發生日期為： 年 月 日。

☐ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☐ 有主張專利法第二十七條第一項國際優先權：

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明係提供一種用來將一參考電壓昇壓成一輸出電壓之昇壓電路，該昇壓電路包含一電連接於該輸出電壓之主要電晶體、一電連接於該輸出電壓之預備電晶體、一電連接於該主要電晶體及該預備電晶體且用來預充電該主要電晶體及該預備電晶體之預充電電路、以及一電連接於該參考電壓及該預備電晶體且用來依據該參考電壓控制該預備電晶體之運作之電壓偵測器。

六、英文發明摘要：

A boost circuit capable of boosting a reference voltage into an output voltage. The boost circuit includes a main transistor electrically connected to the output voltage, an auxiliary transistor electrically connected to the output voltage, a pre-charge circuit electrically connected to the main transistor and the auxiliary transistor for pre-charging

the main transistor and the auxiliary transistor, and a voltage detector electrically connected to the auxiliary transistor and the reference voltage for controlling the auxiliary transistor according to the reference voltage.

七、指定代表圖：

(一)本案指定代表圖為：第（ 5 ）圖。

(二)本代表圖之元件符號簡單說明：

52	第一 PMOS 電晶體	54	第二 PMOS 電晶體
56	電壓轉換電路	58	主要電晶體
60	電壓偵測器	58	預備電晶體
70	昇壓電路	72	主要充電電晶體
74	穩定充電電晶體	78	穩定電晶體
80	電晶體		

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

九、發明說明：

【發明所屬之技術領域】

本發明係提供一種昇壓電路，尤指一種內含一電壓偵測器之昇壓電路。

【先前技術】

請參閱第 1 圖，第 1 圖為習知一昇壓電路 10 之電路圖。昇壓電路 10 包含一第一 PMOS 電晶體 12、一第二 PMOS 電晶體 16、一主要電晶體 14、以及一電壓轉換電路(level shift circuit)18。昇壓電路 10 可將適用於快閃記憶體中字元線(word line)所需之三伏特參考電壓 V_{dd} 提昇至五伏特輸出電壓 V_{out} 。

在昇壓電路 10 中，主要電晶體 14 係充作一電容，而第一 PMOS 電晶體 12、連同受控於電壓轉換電路 18 之第二 PMOS 電晶體 16，係用來對主要電晶體 14 預充電(pre-charge)；電壓轉換電路 18 係受控於一開關電壓 V_{sw} ，以選擇性地將輸出電壓 V_{out} 輸出至第二 PMOS 電晶體 16。舉例來說，若開關電壓 V_{sw} 為一邏輯高(logic high)電壓，如圖二所示，電壓轉換電路 18 將輸出電壓 V_{out} 輸出至第二 PMOS 電晶體 16(電壓轉換電路 18 所輸出之控制電壓 V_c 係等於輸出電壓 V_{out})，以關閉(turn off)第二 PMOS 電晶體

16；反之，若開關電壓 V_{sw} 為一邏輯低(logic low)電壓，電壓轉換電路 18 轉而將一零伏特電壓輸出至第二 PMOS 電晶體 16(電壓轉換電路 18 所輸出之控制電壓 V_c 係等於該零伏特電壓)，以開啟(turn on)第二 PMOS 電晶體 16

昇壓電路 10 之運作過程略述如后：當用以控制電壓轉換電路 18 運作之開關電壓 V_{sw} 等於該邏輯低電壓、而用以控制主要電晶體 14 運作之提昇電壓 V_{kick} 等於該零伏特電壓時，如第 2 圖所示，第二 PMOS 電晶體 16 係開啟的，而昇壓電路 10 係處於一預充電狀態(pre-charge state)；當開關電壓 V_{sw} 等於該邏輯高電壓、而提昇電壓 V_{kick} 等於參考電壓 V_{dd} 時，第二 PMOS 電晶體 16 係關閉的，而昇壓電路 10 係處於一昇壓狀態(boost state)。為了確保昇壓電路 10 運作於該昇壓狀態時，先前於該預充電狀態時充入至主要電晶體 14 內之電荷不致從第二 PMOS 電晶體 16 流失，開關電壓 V_{sw} 之昇緣係略領先於昇壓電壓 V_{kick} 之昇緣，以於昇壓電路 10 由該預充電狀態轉換至該昇壓狀態前，先行關閉第二 PMOS 電晶體 16。

由於 PMOS 電晶體具有較低的載子遷移率(carrier mobility)，所以，為了增加充電至主要電晶體 14 之速率，習知昇壓電路 10 中之第一 PMOS 電晶體 12 及第二 PMOS 電晶體 16 通常需占據較大的面積。然而，占據較大面積之

第一 PMOS 電晶體 12 及第二 PMOS 電晶體 16 不僅會增加昇壓電路 10 之製造成本，因占據較大面積之第一 PMOS 電晶體 12 及第二 PMOS 電晶體 16 所引致之基體效應(body effect)還會增加昇壓電路 10 之臨限電壓(threshold voltage)，並從而相應地降低昇壓電路 10 之運作效率。

此外，在昇壓電路 10 昇壓輸出電壓 V_{out} 之過程中，若參考電壓 V_{dd} 高於一預定電壓，昇壓電路 10 極有可能產生過高之輸出電壓 V_{out} ，而過高之輸出電壓 V_{out} 極有可能對於其所供應之電路造成無可彌補之損害。

【發明內容】

因此本發明之主要目的在於提供一種昇壓電路，以解決習知技術之缺點。

根據本發明之申請專利範圍，本發明係揭露一種用來將一參考電壓昇壓成一輸出電壓之昇壓電路，該昇壓電路包含一電連接於該輸出電壓之主要電晶體、一電連接於該輸出電壓之預備電晶體、一電連接於該主要電晶體及該預備電晶體且用來預充電該主要電晶體及該預備電晶體之預充電電路(pre-charge circuit)、以及一電連接於該參考電壓及該預備電晶體且用來依據該參考電壓控制該預備電晶體之運作之電壓偵測器。

在本發明之較佳實施例中，該預充電電路包含一第一 PMOS 電晶體、一第二 PMOS 電晶體、以及一電連接於該第二 PMOS 電晶體及該輸出電壓且用來依據一開關電壓將該輸出電壓傳送至該第二 PMOS 電晶體之電壓轉換電路 (level shift circuit)。

在本發明之第二實施例中，該昇壓電路另包含一電連接於該主要電晶體且用來於對該主要電晶體充電之充電模組，該充電模組包含一穩定電晶體、一用來依據該穩定電晶體之電壓值對該主要電晶體回充電之主要充電電晶體、以及一用來依據該主要電晶體之電壓值對該穩定電晶體回充電之穩定充電電晶體。

本發明之昇壓電路中之電壓偵測器可於偵測到該參考電壓係高於一預定電壓時，失能該預備電晶體，如此一來，該昇壓電路便不致於產生過高之輸出電壓，當然，該輸出電壓也不會對於其所供應之電路造成任何無可彌補之損害。

【實施方式】

請參閱第 3 圖，第 3 圖為本發明之較佳實施例中一昇壓電路 50 之電路圖。昇壓電路 50 包含一第一 PMOS 電晶體

52、一第二 PMOS 電晶體 54、一電連接於第二 PMOS 電晶體 54 之電壓轉換電路 56、一主要電晶體 58、一預備電晶體 68、及一電連接於主要電晶體 58 及預備電晶體 68 之電壓偵測器 60。主要電晶體 58 及預備電晶體 68 可為具有三重井(triple-welled)結構之 NMOS，其三重井皆接地。

電壓偵測器 60 係用來偵測參考電壓 V_{dd} 是否高於該預定電壓，並據以輸出用以分別控制主要電晶體 58 及預備電晶體 68 運作之主要提昇電壓 V_{KMAIN} 及預備提昇電壓 V_{KAUX} 。詳言之，當偵測到參考電壓 V_{dd} 仍低於該預定電壓時，電壓偵測器 60 輸出皆等於提昇電壓 V_{kick} 之主要提昇電壓 V_{KMAIN} 及預備提昇電壓 V_{KAUX} ；反之，當偵測到參考電壓 V_{dd} 已超出該預定電壓時，電壓偵測器 60 輸出分別等於提昇電壓 V_{kick} 之主要提昇電壓 V_{KMAIN} 、及等於該零伏特電壓之預備提昇電壓 V_{KAUX} 。換言之，在本發明之昇壓電路 50 中，當參考電壓 V_{dd} 已超出該預定電壓時，不論提昇電壓 V_{kick} 之值為何，預備提昇電壓 V_{KAUX} 恒等於該零伏特電壓，而預備電晶體 68 相應地恒停止運作(disable)。

昇壓電路 50 之運作過程說明如后：(1)當用以控制電壓轉換電路 56 運作之開關電壓 V_{sw} 等於該邏輯低電壓、而提昇電壓 V_{kick} 等於該零伏特電壓時(此時，無論參考電壓

Vdd 是否超過該預定電壓，用以分別控制主要電晶體 58 及預備電晶體 68 運作之主要提昇電壓 VKMAIN 及預備提昇電壓 VKAUX 皆等於該零伏特電壓)，此時，第二 PMOS 電晶體 54 係開啟的，而昇壓電路 50 係處於該預充電狀態；(2a)反之，當開關電壓 V_{sw} 等於該邏輯高電壓、提昇電壓 V_{kick} 等於參考電壓 Vdd、而參考電壓 Vdd 尚未超過該預定電壓時，第二 PMOS 電晶體 54 係關閉的，而昇壓電路 50 係處於一全部昇壓狀態，換言之，主要電晶體 58 及預備電晶體 68 係同時運作著；(2b)當開關電壓 V_{sw} 等於該邏輯高電壓、提昇電壓 V_{kick} 等於參考電壓 Vdd、但參考電壓 Vdd 已超過該預定電壓時，第二 PMOS 電晶體 54 仍係關閉的，但昇壓電路 50 已由該全部昇壓狀態轉而處於一部分昇壓狀態，換言之，在昇壓電路 50 中，僅餘下主要電晶體 58 仍在運作著，而預備電晶體 68 已受控於電壓偵測器 60 所輸出之等於該零伏特電壓之預備提昇電壓 VKAUX 而停止運作。

在第 3 圖所顯示之昇壓電路 50 中，主要電晶體 58 係經由電壓偵測器 60 間接地電連接至提昇電壓 V_{kick} ，然而，本發明之昇壓電路中之主要電晶體 58 也可直接地電連接於提昇電壓 V_{kick} ，如此一來，不論電壓偵測器 60 所偵測到之參考電壓 Vdd 是否超過該預定電壓，該昇壓電路中之主要電晶體 58 恒運作著。

請參閱第 4 圖，第 4 圖為昇壓電路 50 中參考電壓 V_{dd} 與輸出電壓 V_{out} 之關係圖。當參考電壓 V_{dd} 尚未超過該預定電壓時，輸出電壓 V_{out} 係沿著一第一曲線 L_1 漸漸增加，一旦參考電壓 V_{dd} 超過該預定電壓時，輸出電壓 V_{out} 之電壓值會因預備電晶體 68 之停止運作而突然從一第一電壓減小為一第二電壓，並轉而沿著一第二曲線 L_2 漸漸增加，第二曲線 L_2 之斜率係小於第一曲線 L_1 之斜率。如此一來，即便參考電壓 V_{dd} 超過該預定電壓，昇壓電路 50 也不致於產生過高之輸出電壓 V_{out} ，所以，本發明之昇壓電路 50 所產生之輸出電壓 V_{out} 不會對於其所供應之電路造成任何無可彌補之損害。

請參閱第 5 圖，第 5 圖為本發明之第二實施例中一昇壓電路 70 之電路圖。昇壓電路 70 除了第一 PMOS 電晶體 52、第二 PMOS 電晶體 54、電壓轉換電路 56、主要電晶體 58、預備電晶體 68 及電壓偵測器 60 外，另包含一穩定電晶體 78、一主要充電電晶體 72、及一穩定充電電晶體 74。主要充電電晶體 72 及穩定充電電晶體 74 係分別受控於穩定電晶體 78 及主要電晶體 58，而用來對主要電晶體 58 及穩定電晶體 78 回充電。

在本發明之昇壓電路 70 中，主要電晶體 58 及穩定電晶

體 78 係分別受控於互斥之主要提昇訊號 VKMAIN 及穩定提昇訊號 VKICKB，主要提昇訊號 VKMAIN 及穩定提昇訊號 VKICKB 之波形請分別參閱第 6 圖及第 7 圖。詳言之，在主要電晶體 58 受控於主要提昇訊號 VKMAIN 而昇壓輸出電壓 V_{out} 之同時(相當於第 6 圖中所顯示之昇壓狀態)，除了輸出電壓 V_{out} 會被提昇外，主要電晶體 58 上之電壓尚足以導通穩定充電電晶體 74，以對穩定電晶體 78 回充電，並漸漸地提昇穩定電晶體 78 之電壓；交替地，當主要電晶體 58 受控於主要提昇訊號 VKMAIN 而停止昇壓輸出電壓 V_{out} 時(相當於第 6 圖中所顯示之回充電狀態)，穩定提昇訊號 VKICKB 連同穩定電晶體 78 上之電壓足以導通主要充電電晶體 72，以對主要電晶體 58 回充電。

在本發明之第二實施例中，由於主要充電電晶體 72 連同穩定電晶體 78 及穩定充電電晶體 74 可回充電主要電晶體 58，所以，不同於昇壓電路 50(10)中用以控制第二 PMOS 電晶體 54(16)之電壓轉換電路 56(18)係受控於開關電壓 V_{sw} 之控制，時而開啟或時而關閉，昇壓電路 70 中之電壓轉換電路 56 僅於昇壓電路 70 開始運作前(即產生輸出電壓 V_{out} 前)，開啟第二 PMOS 電晶體 54，如第 8 圖所示，以預充電主要電晶體 58 及預備電晶體 68，俟昇壓電路 70 開始產生輸出電壓 V_{out} 後，電壓轉換電路 56 即行關閉第二 PMOS 電晶體 54。如此一來，第一 PMOS 電晶體 52 及第

二 PMOS 電晶體 54 之充電速率便不會左右昇壓電路 70 的運作效率，換言之，即便是採用較小的面積，具有較低充電速率之第一 PMOS 電晶體 52 及第二 PMOS 電晶體 54 也不會對昇壓電路 70 之運作速率造成任何影響。

第 5 圖所顯示之昇壓電路 70 另包含一電晶體 80，電連接於穩定電晶體 78，用來移除殘留於穩定電晶體 78 上之電荷。

相較於習知昇壓電路，本發明之昇壓電路係包含一第一 PMOS 電晶體、一第二 PMOS 電晶體、一主要電晶體、一預備電晶體、及一電壓偵測器，該電壓偵測器可於偵測到參考電壓 V_{dd} 超過該預定電壓時，失能(disable)該預備電晶體，以避免該昇壓電路產生過高之輸出電壓 V_{out} 。在本發明之第二實施例中，該昇壓電路另包含一穩定電晶體、一主要充電電晶體、及一穩定充電電晶體，用來於該昇壓電路開始產生輸出電壓 V_{out} 後，回充電該主要電晶體，以取代該第一 PMOS 電晶體及該第二 PMOS 電晶體。如此一來，即便該第一 PMOS 電晶體及該第二 PMOS 電晶體採用較小的面積，具有較低充電速率之第一 PMOS 電晶體及第二 PMOS 電晶體也不會對該昇壓電路之運作速率造成任何影響。

【圖式簡單說明】

第 1 圖為習知一昇壓電路之電路圖。

第 2 圖為第 1 圖所顯示之昇壓電路中一開關電壓 V_{sw} 、一提昇電壓 V_{kick} 及一輸出電壓 V_{out} 之波形圖。

第 3 圖為本發明之較佳實施例中一昇壓電路之電路圖。

第 4 圖為第 3 圖所顯示之昇壓電路中一參考電壓 V_{dd} 與一輸出電壓 V_{out} 之關係圖。

第 5 圖為本發明之第二實施例中一昇壓電路之電路圖。

第 6 圖為第 5 圖所顯示之昇壓電路中一主要提昇訊號 VKMAIN 之波形圖。

第 7 圖為第 5 圖所顯示之昇壓電路中一穩定提昇訊號 VKICKB 之波形圖。

第 8 圖為第 5 圖所顯示之昇壓電路中一開關電壓 V_{sw} 、一提昇電壓 V_{kick} 及一輸出電壓 V_{out} 之波形圖。

【主要元件符號說明】

10、50、70 昇壓電路

12、52 第一 PMOS 電晶體

14	主要電晶體	16、54	第二 PMOS 電晶體
18、56	電壓轉換電路	58	主要電晶體
68	預備電晶體	72	主要充電電晶體
74	穩定充電電晶體	78	穩定電晶體
80	電晶體		

十、申請專利範圍：

1. 一種用來將一參考電壓昇壓成一輸出電壓之昇壓電路，該昇壓電路包含：
 - 一主要電晶體，電連接於該輸出電壓；
 - 一預備電晶體，電連接於該輸出電壓；
 - 一預充電電路(pre-charge circuit)，電連接於該主要電晶體及該預備電晶體，用來預充電該主要電晶體及該預備電晶體；以及
 - 一電壓偵測器，電連接於該參考電壓及該預備電晶體，用來依據該參考電壓控制該預備電晶體之運作。
2. 如申請專利範圍第 1 項所述之昇壓電路，其中該主要電晶體為一具有三重井結構之 NMOS。
3. 如申請專利範圍第 1 項所述之昇壓電路，其中該預備電晶體為一具有三重井結構之 NMOS。
4. 如申請專利範圍第 1 項所述之昇壓電路，其中該電壓偵測器係於偵測到該參考電壓高於一預定電壓時，失能(disable)該預備電晶體。
5. 如申請專利範圍第 1 項所述之昇壓電路，其中該預充

電電路包含：

一 第一 PMOS 電晶體；

一 第二 PMOS 電晶體，電連接於該第一 PMOS 電晶體

與該主要電晶體及該預備電晶體之間；以及

一 電壓轉換電路(level shift circuit)，電連接於該第二

PMOS 電晶體及該輸出電壓，用來依據一開關電壓

將該輸出電壓傳送至該第二 PMOS 電晶體。

6. 如申請專利範圍第 1 項所述之昇壓電路，其另包含一回充電模組，電連接於該主要電晶體，用來於對該主要電晶體回充電。

7. 如申請專利範圍第 6 項所述之昇壓電路，該回充電模組包含：

一 穩定電晶體；

一 主要充電電晶體，電連接於該穩定電晶體及該主要電晶體之間，用來依據該穩定電晶體之電壓值對該主

要電晶體回充電；以及

一 穩定充電電晶體，電連接於該穩定電晶體及該主要電晶體之間，用來依據該主要電晶體之電壓值對該穩

定電晶體回充電。

8. 一種用來將一參考電壓昇壓成一輸出電壓之昇壓電

路，該昇壓電路包含：

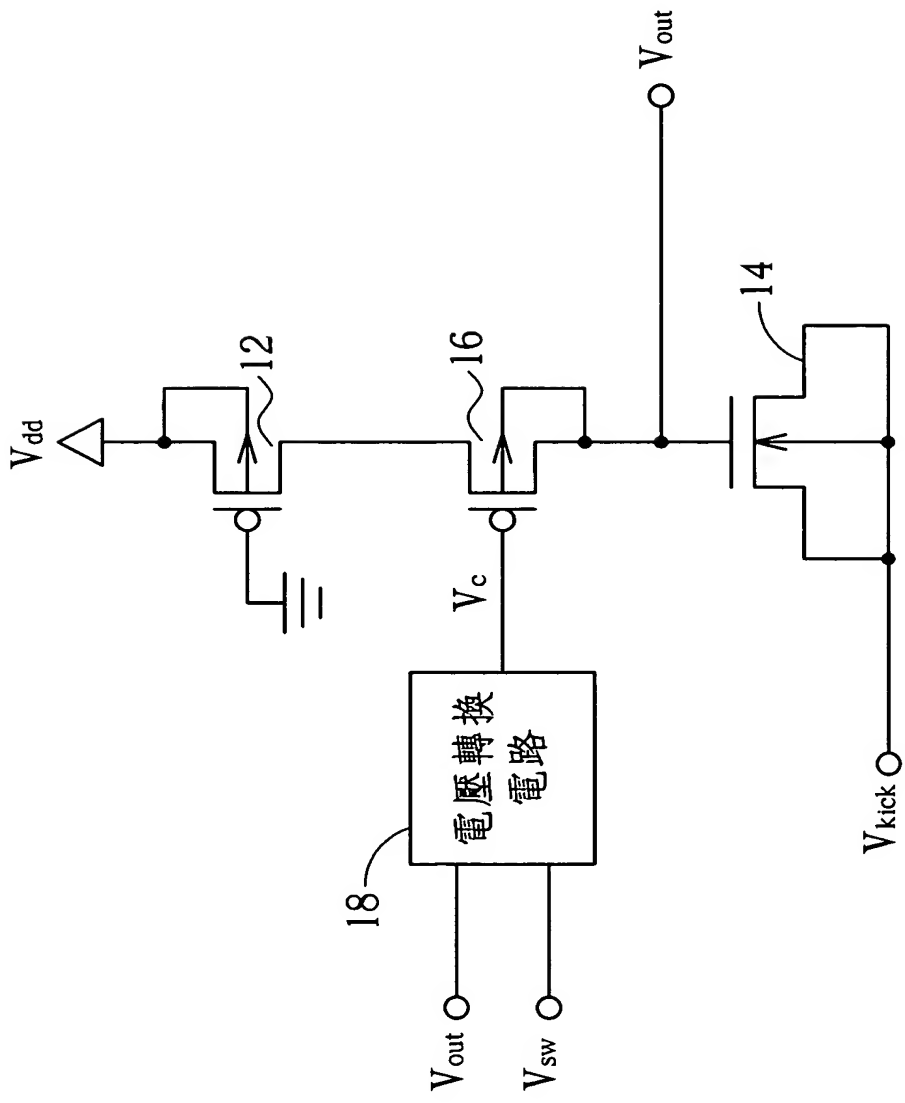
- 一主要電晶體，電連接於該輸出電壓；
- 一預充電電路，電連接於該主要電晶體，用來預充電該主要電晶體；
- 一穩定電晶體；
- 一主要充電電晶體，電連接於該穩定電晶體及該主要電晶體之間，用來依據該穩定電晶體之電壓值對該主要電晶體回充電；以及
- 一穩定充電電晶體，電連接於該穩定電晶體及該主要電晶體之間，用來依據該主要電晶體之電壓值對該穩定電晶體回充電。

9. 如申請專利範圍第 8 項所述之昇壓電路，其另包含：

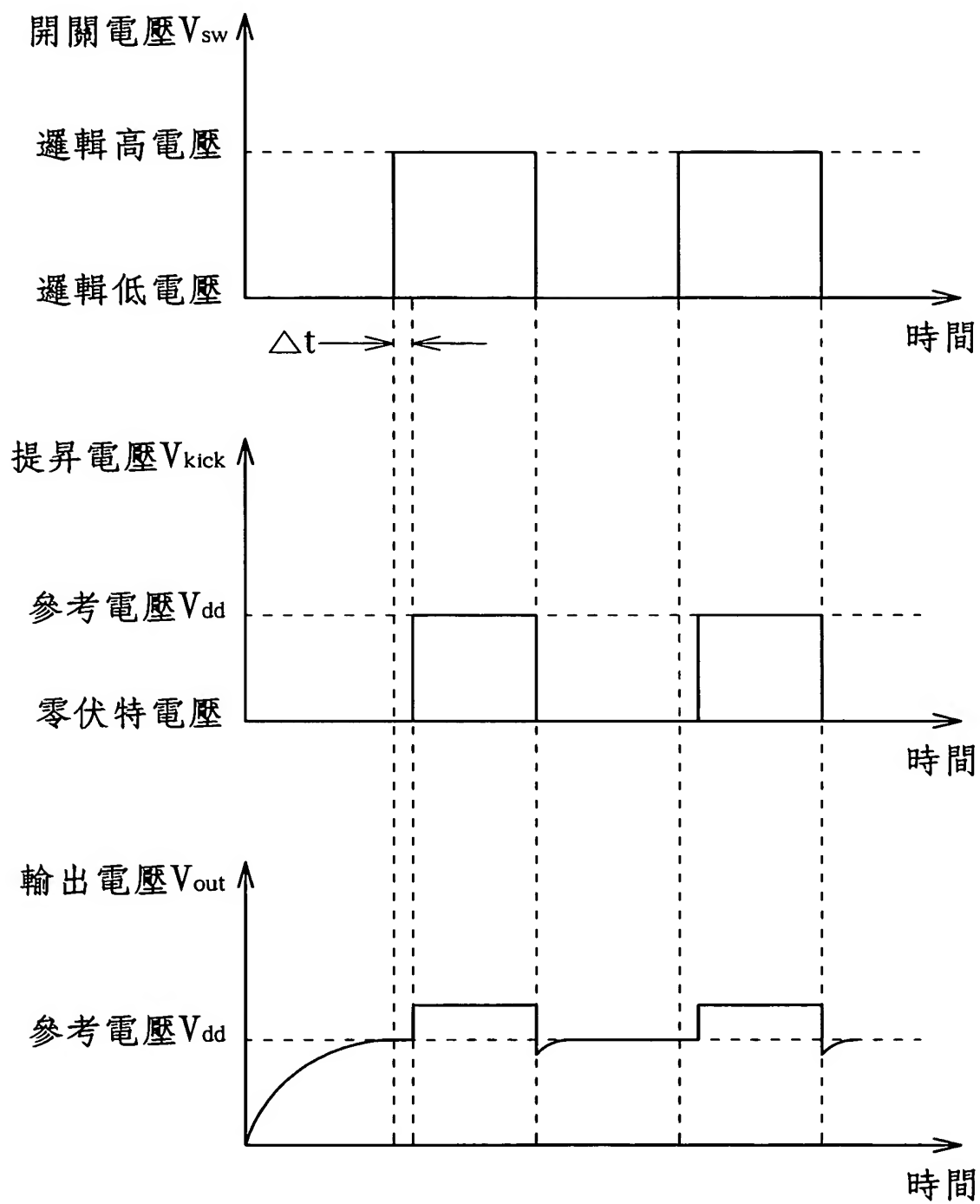
- 一預備電晶體，電連接於該輸出電壓；以及
- 一電壓偵測器，電連接於該參考電壓及該預備電晶體，用來依據該參考電壓控制該預備電晶體之運作。

10. 如申請專利範圍第 9 項所述之昇壓電路，其中該電壓偵測器係於偵測到該參考電壓高於一預定電壓時，失能該預備電晶體。

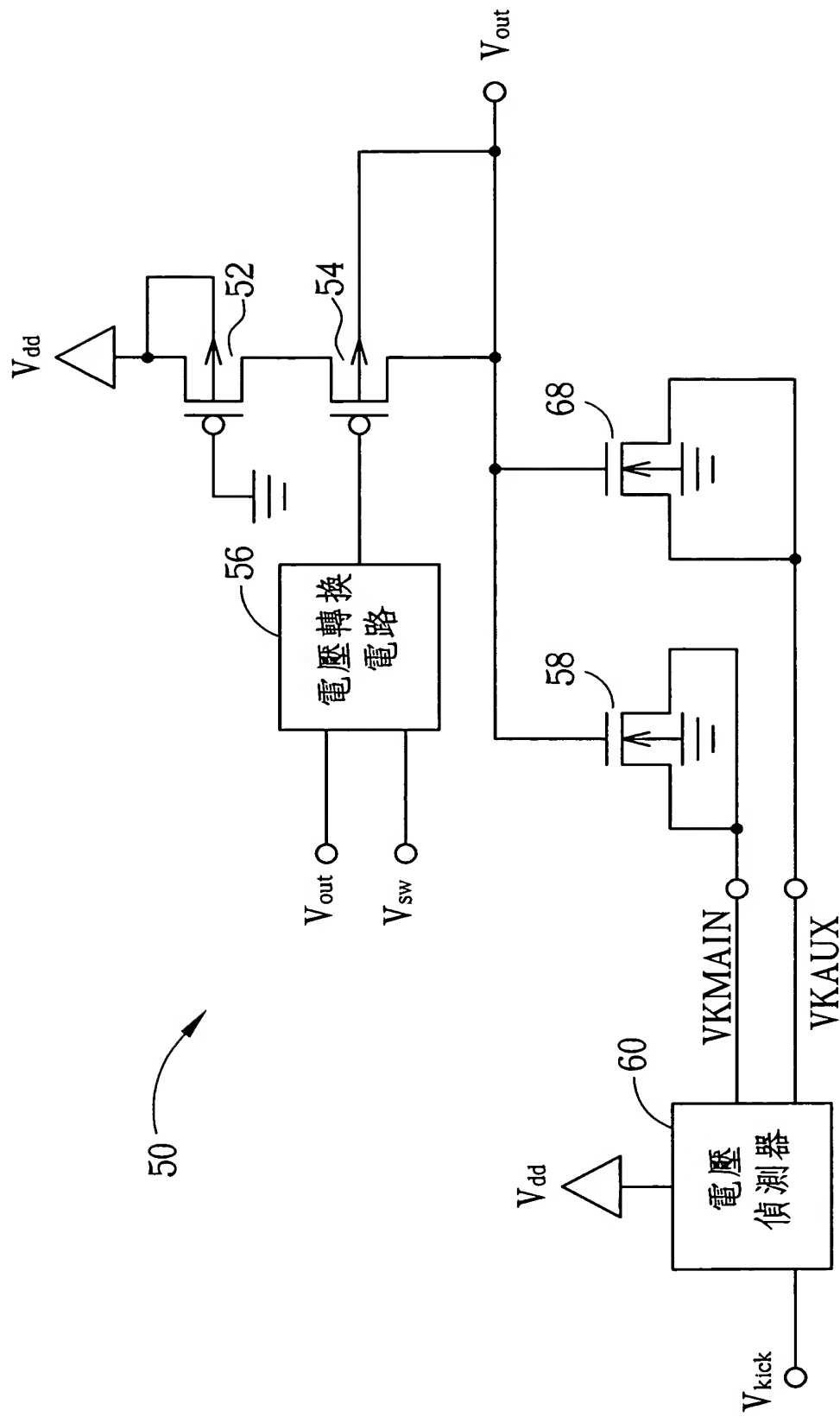
十一、圖式：



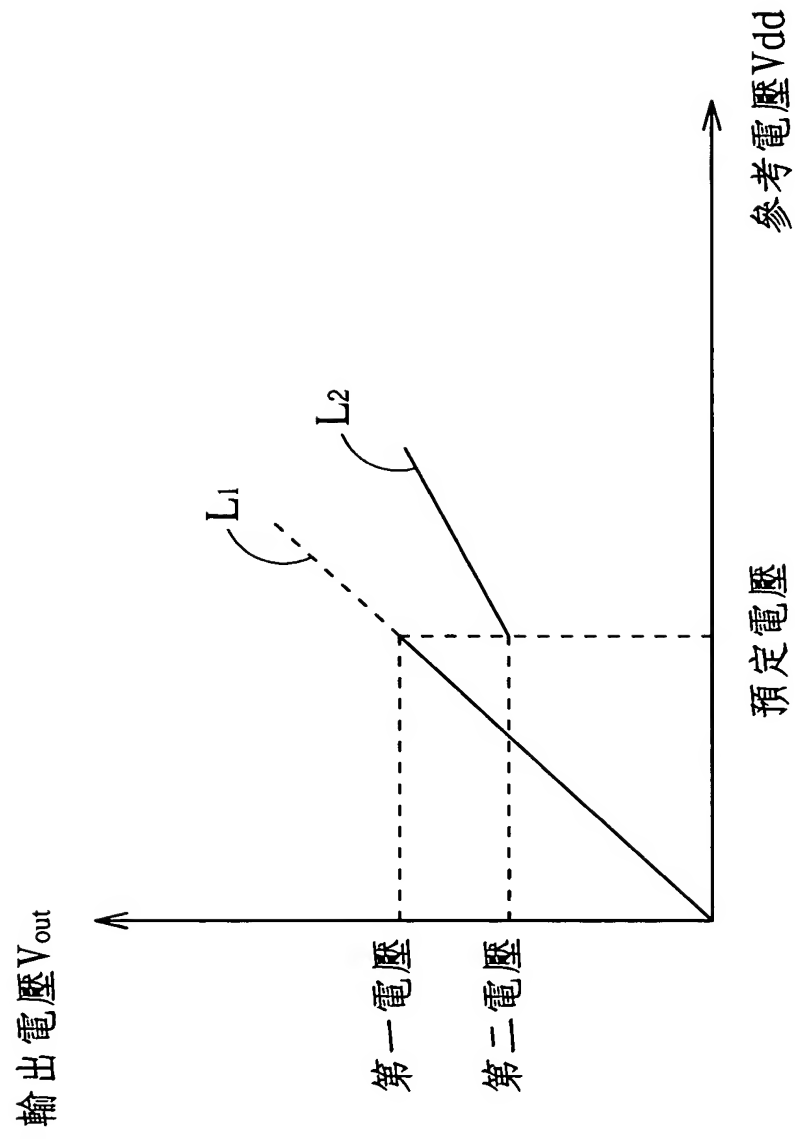
第1圖



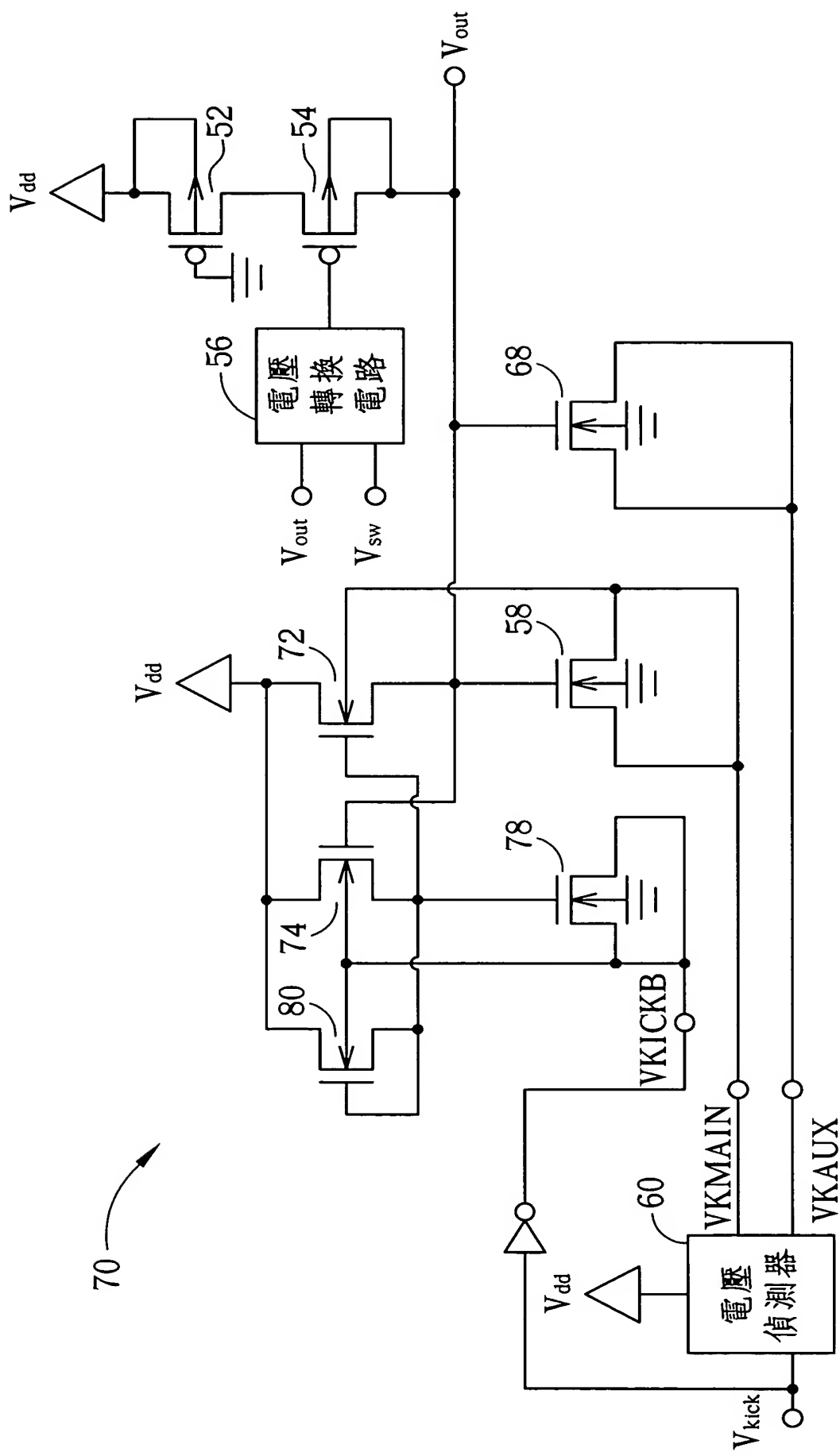
第2圖



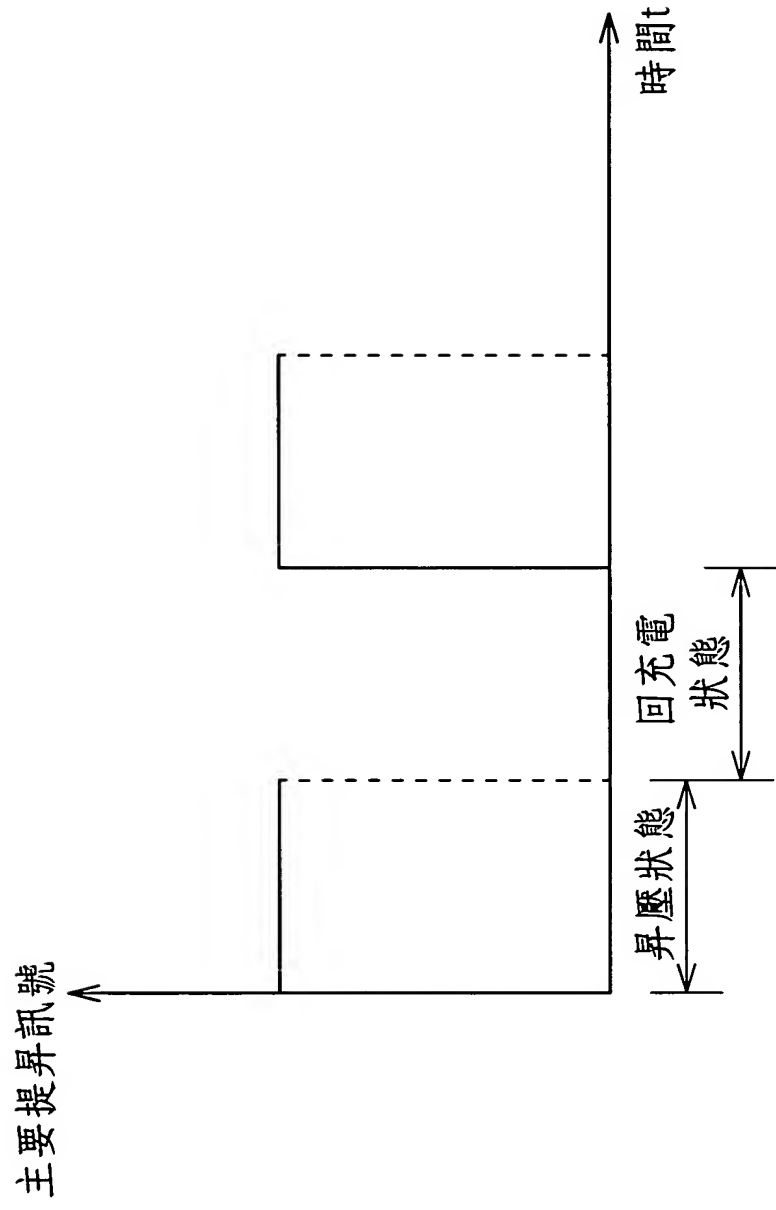
第3圖



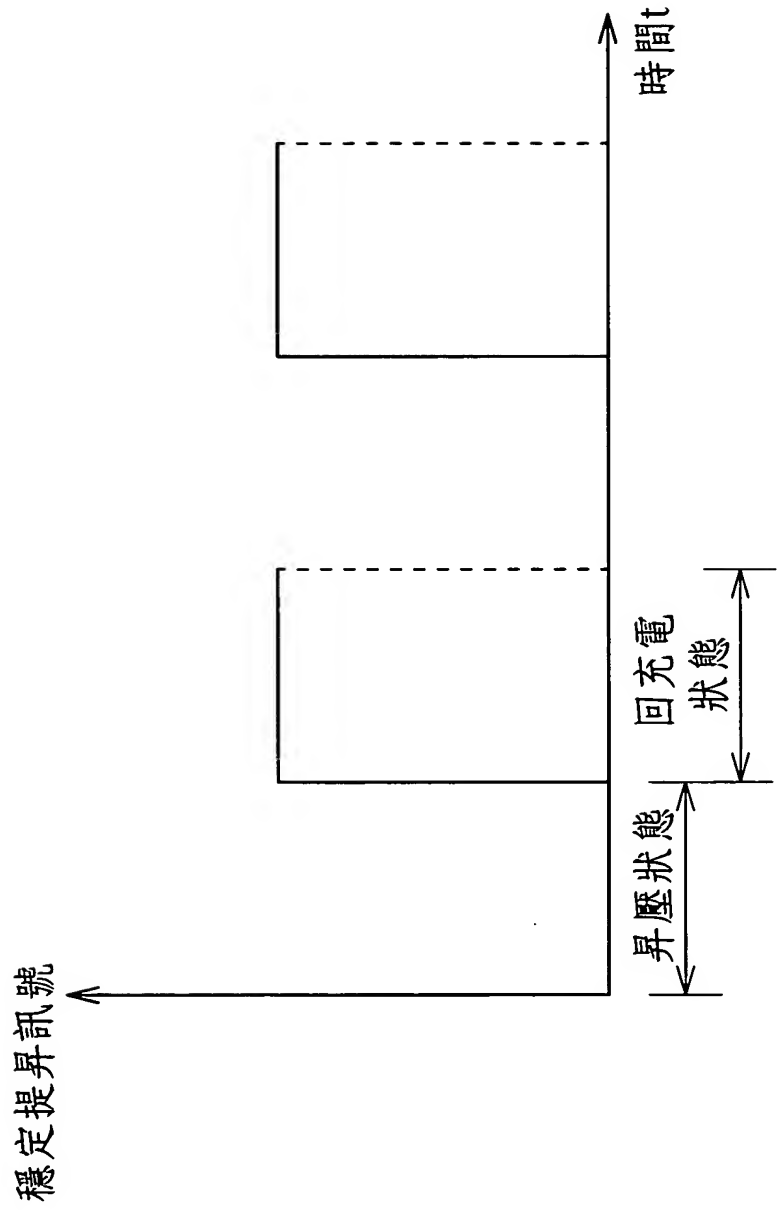
第4圖



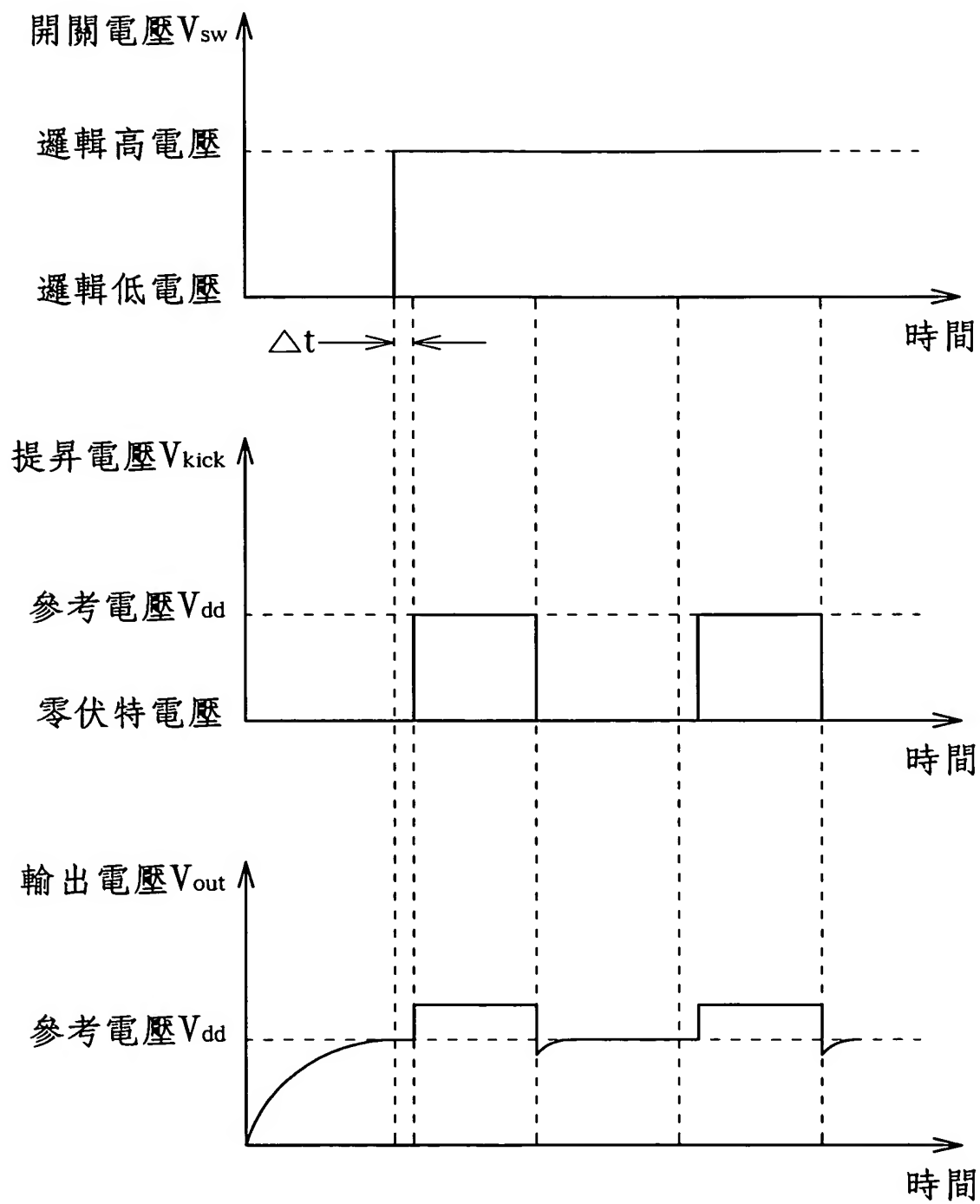
第5圖



第6圖



第7圖



第8圖